

PAT-NO: JP02000114266A
DOCUMENT-IDENTIFIER: JP 2000114266 A
TITLE: HIGH BREAKDOWN STRENGTH DIODE AND
FABRICATION THEREOF
PUBN-DATE: April 21, 2000

INVENTOR-INFORMATION:
NAME YANAGAWA, HIROSHI COUNTRY N/A

ASSIGNEE-INFORMATION:
NAME NEC CORP COUNTRY N/A

APPL-NO: JPI0288061
APPL-DATE: October 9, 1998

INT-CL (IPC): H01L021/329, H01L029/861

ABSTRACT:

PROBLEM TO BE SOLVED: To protect a high-voltage transistor by forming an anode electrode on the heavily-doped fourth region of one conductivity type on a third region and connecting a gate electrode electrically with the fourth region through a gate oxide on a substrate across first and third regions.

SOLUTION: A high-voltage diode comprises a semiconductor substrate 1 of one conductivity type, a first region 2 of the other conductivity type formed thereon, a heavily-doped second region 5 of the other

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 許出願公開番号

特開2000-114266

(P2000-114266A)

(43)公開日 平成12年4月21日(2000.4.21)

(51)Int.Cl.
H 01 L 21/329
29/861

識別記号

F I
H 01 L 29/91テ-マコト(参考)
B
D

(21)出願番号 特願平10-288061
 (22)出願日 平成10年10月9日(1998.10.9)

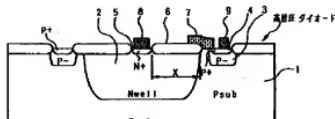
(71)出願人 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (72)発明者 柳川 洋
 東京都港区芝五丁目7番1号 日本電気株
 式会社内
 (74)代理人 10007050
 弁理士 炎 泰之

(54)【発明の名称】 高耐圧ダイオードとその製造方法

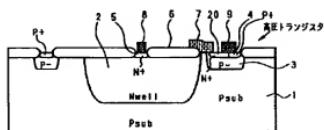
(57)【要約】

【課題】 工程を追加しないで保護する高耐圧のトランジスタより耐圧の低い高耐圧ダイオードを形成し、以て、高耐圧トランジスタを確実に保護することを可能にした高耐圧ダイオードを提供する。

【解決手段】 一導電型の半導体基板1上に形成した他導電型の第一領域2と、前記第一領域2の表面に形成した高濃度の他導電型の第二領域5と、前記第一領域2に隣接して形成した一導電型の第三領域3と、前記第三領域3の表面に形成した高濃度の一導電型の第四領域4と、第一領域2と第三領域3とにまたがり、基板表面上にゲート酸化膜を介して設けたゲート電極7と、このゲート電極7が第四領域4と電気的に接続したことを特徴とする。



(a)



(b)

【特許請求の範囲】

【請求項1】 一導電型の半導体基板上に形成した他導電型の第一領域と、前記第一領域の表面に形成した高濃度の他導電型の第二領域と、この第二領域上に形成されるカソード電極と、前記第一領域に隣接して形成した一導電型の第三領域と、前記第三領域の表面に形成した高濃度の一導電型の第四領域と、前記第四領域上の形成されたアノード電極と、前記第一領域と第三領域とにまたがり、前記基板表面上にゲート酸化膜を介して設けたゲート電極と、このゲート電極が第四領域と電気的に接続したことを特徴とする高耐圧ダイオード。

【請求項2】 一導電型の半導体基板上に形成した他導電型の第一領域と、前記第一領域の表面に形成した高濃度の他導電型の第二領域と、前記第二領域に形成したドレイン電極と、前記第一領域に隣接して形成した一導電型の第三領域と、前記第三領域の表面に形成した高濃度の一導電型の第四領域と、前記第三領域の表面に形成した高濃度の他導電型の第五領域と、少なくとも前記第五領域上に形成したソース電極と、前記第一領域と第三領域とにまたがり、前記基板表面上にゲート酸化膜を介してゲート電極を設けと共に、上記ゲート電極が前記第五領域と電気的に接続された高耐圧トランジスタを保護する高耐圧ダイオードにおいて、前記半導体基板上に前記高耐圧トランジスタの第一領域と同時に形成した高耐圧ダイオードの他導電型の第一領域と、前記高耐圧トランジスタの第三領域と同時に形成され、且つ、前記高耐圧ダイオードの第一領域に隣接して形成される第三領域と、前記高耐圧トランジスタの第二領域と同時に形成され、且つ、前記高耐圧ダイオードの第二領域内に形成される高濃度の一導電型の第四領域と、この第四領域上に形成されるカソード電極と、前記高耐圧トランジスタの第四領域と、前記高耐圧トランジスタの第三領域内に形成されるカソード電極と、前記高耐圧トランジスタの第二領域と、この第二領域上に形成されるアノード電極と、前記第一領域と第三領域とにまたがり、前記基板表面上にゲート酸化膜を介して設けたゲート電極とからなり、このゲート電極が第四領域と電気的に接続されたものであり、且つ、前記高耐圧トランジスタの第一領域と高耐圧ダイオードの第一領域、前記高耐圧トランジスタの第三領域と高耐圧ダイオードの第三領域、前記高耐圧トランジスタの第二領域と高耐圧ダイオードの第二領域とは、夫々同時に形成されることを特徴とする高耐圧ダイオードの製造方法。

【請求項3】 前記高耐圧ダイオードの第一領域のエッジから第二領域迄の長さは、前記高耐圧トランジスタの第一領域のエッジから第二領域迄の長さよりも小であることを特徴とする請求項2記載の高耐圧ダイオード。

【請求項4】 前記高耐圧ダイオードをSOI基板上に形成したことを特徴とする請求項1乃至3の何れかに記載の高耐圧ダイオード。

【請求項5】 一導電型の半導体基板上に形成した他導電型の第一領域と、前記第一領域の表面に形成した高濃度の他導電型の第二領域と、この第二領域上に形成されるカソード電極と、前記第一領域に隣接して形成した一導電型の第三領域と、前記第三領域の表面に形成した高濃度の一導電型の第四領域と、この第四領域上に形成されたアノード電極と、第一領域と第三領域とにまたがり、前記第一領域に隣接して形成した一導電型の第五領域と、前記第五領域の表面に形成した高濃度の他導電型の第六領域と、少なくとも前記第五領域上に形成したソース電極と、前記第一領域と第三領域とにまたがり、前記基板表面上にゲート酸化膜を介して設けたゲート電極と、このゲート電極が第六領域と電気的に接続された高耐圧トランジスタを保護する高耐圧ダイオードにおいて、前記半導体基板上に前記高耐圧トランジスタの第一領域と同時に形成した高耐圧ダイオードの他導電型の第一領域と、前記高耐圧トランジスタの第三領域と同時に形成され、且つ、前記高耐圧トランジスタの第一領域に隣接して形成される第三領域と、前記高耐圧トランジスタの第二領域と同時に形成され、且つ、前記高耐圧トランジスタの第二領域内に形成される高濃度の一導電型の第四領域と、この第四領域上に形成されるカソード電極と、前記高耐圧トランジスタの第二領域と、この第二領域上に形成されるアノード電極と、前記第一領域と第三領域とにまたがり、前記基板表面上にゲート酸化膜を介して設けたゲート電極とからなり、このゲート電極が第六領域と電気的に接続されたものであり、且つ、前記高耐圧トランジスタの第一領域と高耐圧ダイオードの第一領域、前記高耐圧トランジスタの第三領域と高耐圧ダイオードの第三領域、前記高耐圧トランジスタの第二領域と高耐圧ダイオードの第二領域とは、夫々同時に形成されることを特徴とする高耐圧ダイオードの製造方法。

【請求項6】 前記高耐圧ダイオードをSOI基板上に形成したことを特徴とする請求項5又は6記載の高耐圧ダイオードの製造方法。

【発明の詳細な説明】

【0001】 【発明の属する技術分野】 本発明は、高耐圧ダイオードとその製造方法に係わり、特に、高耐圧トランジスタを保護するのに好適な高耐圧ダイオード、即ち、プラスマディスプレイパネルのドライバーICの保護用に用いられる耐圧60V～300Vの高耐圧ダイオード、電源用IC用の保護用に用いられる耐圧2000V～1000Vの保護用ダイオードとして用いられる高耐圧ダイオードとその製造方法に関する。

【0002】 【従来の技術】 従来技術を図3(a)に示したP型半導体基板上に作成した150Vダイオードを例に説明する。この高耐圧ダイオードは、 $1 \times 10^{14} \text{ atoms}/\mu\text{m}^2$

り、前記基板表面上にゲート酸化膜を介して設けたゲート電極と、このゲート電極が第四領域と電気的に接続された高耐圧ダイオードであって、前記第一領域のエッジから第二領域迄の長さを所定の長さにすることで耐圧を調整することを特徴とする高耐圧ダイオードの製造方法。

【請求項6】 一導電型の半導体基板上に形成した他導電型の第一領域と、前記第一領域の表面に形成した高濃度の他導電型の第二領域と、前記第二領域上に形成されたカソード電極と、前記第一領域に隣接して形成した一導電型の第三領域と、前記第三領域の表面に形成した高濃度の一導電型の第四領域と、前記第四領域上の形成されたアノード電極と、前記第一領域と第三領域とにまたがり、前記基板表面上にゲート酸化膜を介して設けたゲート電極と、このゲート電極が第四領域と電気的に接続したことを特徴とする高耐圧ダイオード。

【請求項2】 一導電型の半導体基板上に形成した他導電型の第一領域と、前記第一領域の表面に形成した高濃度の他導電型の第二領域と、前記第二領域に形成したドレイン電極と、前記第一領域に隣接して形成した一導電型の第三領域と、前記第三領域の表面に形成した高濃度の一導電型の第四領域と、前記第四領域上の形成されたソース電極と、前記第一領域と第三領域とにまたがり、前記基板表面上にゲート酸化膜を介して設けたゲート電極とと共に、上記ゲート電極が前記第五領域と電気的に接続された高耐圧ダイオードの製造方法において、

前記高耐圧ダイオードは、前記一導電型の半導体基板上に形成した他導電型の第一領域と、前記第一領域の表面に形成した高濃度の他導電型の第五領域と、少なくとも前記第五領域上に形成したソース電極と、前記第一領域と第三領域とにまたがり、前記基板表面上にゲート酸化膜を介して設けたゲート電極とと共に、上記ゲート電極が前記第五領域と電気的に接続された高耐圧トランジスタを保護する高耐圧ダイオードにおいて、

前記半導体基板上に前記高耐圧トランジスタの第一領域と同時に形成した高耐圧ダイオードの他導電型の第一領域と、前記高耐圧トランジスタの第三領域と同時に形成され、且つ、前記高耐圧トランジスタの第一領域に隣接して形成される第三領域と、前記高耐圧トランジスタの第二領域と同時に形成され、且つ、前記高耐圧トランジスタの第二領域内に形成される高濃度の一導電型の第四領域と、この第四領域上に形成されるカソード電極と、前記高耐圧トランジスタの第二領域と、この第二領域上に形成されるアノード電極と、前記第一領域と第三領域とにまたがり、前記基板表面上にゲート酸化膜を介して設けたゲート電極とからなり、このゲート電極が第四領域と電気的に接続されたものであり、且つ、前記高耐圧トランジスタの第一領域と高耐圧ダイオードの第一領域、前記高耐圧トランジスタの第三領域と高耐圧ダイオードの第三領域、前記高耐圧トランジスタの第二領域と高耐圧ダイオードの第二領域とは、夫々同時に形成されることを特徴とする高耐圧ダイオードの製造方法。

【請求項7】 前記高耐圧ダイオードをSOI基板上に形成したことを特徴とする請求項5又は6記載の高耐圧ダイオードの製造方法。

【発明の詳細な説明】

【0001】 【発明の属する技術分野】 本発明は、高耐圧ダイオードとその製造方法に係わり、特に、高耐圧トランジスタを保護するのに好適な高耐圧ダイオード、即ち、プラスマディスプレイパネルのドライバーICの保護用に用いられる耐圧60V～300Vの高耐圧ダイオード、電源用IC用の保護用に用いられる耐圧2000V～1000Vの保護用ダイオードとして用いられる高耐圧ダイオードとその製造方法に関する。

【0002】 【従来の技術】 従来技術を図3(a)に示したP型半導体基板上に作成した150Vダイオードを例に説明する。この高耐圧ダイオードは、 $1 \times 10^{14} \text{ atoms}/\mu\text{m}^2$

cm^3 の P 型サブストレート基板 3.1 上にカソードとして作用する表面濃度が $1 \times 10^{16} \text{ atoms/cm}^3$ で拡散層深さが $1.5 \mu\text{m}$ ほどの N 型拡散層 3.2 を形成し、その表面上にアノードとなる高濃度 P 型拡散層 3.4、カソードとなる高濃度 N 型拡散層 3.5 を $1.5 \mu\text{m}$ 程度離して形成する。アノードの高濃度 P 型拡散層 3.4 の周りには電界を緩和するため、低濃度 P 型拡散層 3.3 を形成する構造となっていた。

【0003】なお 3.8 は高濃度 N 型拡散層 3.5 上に形成したカソード電極、3.9 は高濃度 P 型拡散層 3.4 上に形成したアノード電極、3.6 はフィールド絶縁膜である。

しかし、上記した高耐圧ダイオードは、高圧トランジスタを保護するためのダイオードとして使用する際には、ダイオードの耐圧をトランジスタの耐圧よりも低く設定する必要があるため、耐圧が決定している N 型拡散層 3.2 の濃度を調整する必要がある。このため、高圧トランジスタ保護用の前記高耐圧ダイオードを同一チップ上に形成する場合、濃度の異なる高耐圧ダイオード用の N 型拡散層 3.2 をトランジスタ用の N 型拡散層と別々にしなければならないという問題があり、その結果工程数が増加し、コストアップとなっていた。

【0004】又、図 3 (b) に示すものは、高圧トランジスタのゲート電極 4.7 とソース電極 4.9 とをショートして、高圧トランジスタを保護ダイオードとして使用する例である。同様において、4.2 は P 型サブストレート基板 4.1 に形成された N 型拡散層、4.3 は N 型拡散層 4.2 に隣接して形成された低濃度 P 型拡散層、4.4 は低濃度 P 型拡散層 4.3 の表面上に形成した高濃度 P 型拡散層、5.0 は低濃度 P 型拡散層 4.3 の表面上に形成した高濃度 N 型拡散層、4.5 は N 型拡散層 4.2 の表面上に形成した高濃度 N 型拡散層、4.7 は低濃度 P 型拡散層 4.3 と N 型拡散層 4.2 にまたがり形成され、且つ、高濃度 N 型拡散層 5.0 に電気的に接続し、ゲート酸化膜を介して形成したゲート電極、4.8 は高濃度 N 型拡散層 4.5 上に形成したドレイン電極、4.9 は高濃度 P 型拡散層 4.4 と高濃度 N 型拡散層 5.0 上に形成したソース電極、4.6 はフィールド酸化膜である。

【0005】しかし、図 3 (b) の場合、保護されるトランジスタと保護するダイオードの耐圧が等しくなるため、サージ等の電流をダイオードを通して逃がすのではなく、保護するトランジスタと保護用ダイオードとにサージ等の電流を並行して流すことで、トランジスタへ流れるサージ電流を減らしてサージに対する破壊耐量向上させるものである。

【0006】このため、より大きな保護ダイオードが必要となり、チップコストが増大していた。また、図 3 (b) のダイオードでは、アノード-カソード間に N 型拡散層 4.2、P 型拡散層 4.3、N 型拡散層 5.0 で構成される寄生 NPN トランジスタが形成される。このため、このダイオードのブレークダウン後の耐電流は、寄生す

る NPN トランジスタがオンすると電流が集中し破壊するため、P-N 接合だけのダイオードより弱いという欠点があった。

【0007】

【発明が解決しようとする課題】本発明の目的は、上記した従来技術の欠点を改良し、特に、工程を追加しないで保護する高耐圧トランジスタより耐圧の低い高耐圧ダイオードを形成し、以て、高圧トランジスタを確実に保護することを可能にした新規な高耐圧ダイオードとその製造方法を提供するものである。

【0008】

【課題を解決するための手段】本発明は上記した目的を達成するため、基本的には、以下に記載されたような技術構成を採用するものである。即ち、本発明に係る高耐圧ダイオードの第 1 構成は、一導電型の半導体基板上に形成した他導電型の第一領域と、前記第一領域の表面上に形成した高濃度の他導電型の第二領域と、この第二領域上に形成されるカソード電極と、前記第一領域に隣接して形成した一導電型の第三領域と、前記第三領域の表面上に形成した高濃度の一導電型の第四領域と、この第四領域に形成されたアノード電極と、前記第一領域と第三領域にまたがり、前記基板表面上にゲート酸化膜を介して設けたゲート電極と、このゲート電極が第四領域と電気的に接続したことを特徴とするものであり、又、第 2 構成は、一導電型の半導体基板上に形成した他導電型の第一領域と、前記第一領域の表面上に形成した高濃度の他導電型の第二領域と、前記第二領域に形成したドレイン電極と、前記第一領域に隣接して形成した一導電型の第三領域と、前記第三領域の表面上に形成した高濃度の一導電型の第四領域と、前記第三領域の表面上に形成した高濃度の他導電型の第五領域と、少なくとも前記第五領域上に形成したソース電極と、前記第一領域と第三領域にまたがり、前記基板表面上にゲート酸化膜を介して設けたゲート電極とと共に、上記ゲート電極が前記第五領域と電気的に接続された高耐圧トランジスタを保護する高耐圧ダイオードにおいて、前記半導体基板上に前記高耐圧トランジスタの第一領域と一緒に同時に形成した高耐圧ダイオードの他導電型の第一領域と、前記高耐圧トランジスタの第三領域と同時に形成され、且つ、前記高耐圧ダイオードの第一領域に隣接して形成される第三領域と、前記高耐圧トランジスタの第二領域と一緒に形成され、且つ、前記高耐圧ダイオードの第一領域内に形成される高濃度の他導電型の第二領域と、この第二領域上に形成されるカソード電極と、前記高耐圧トランジスタの第四領域と同時に形成され、且つ、前記高耐圧ダイオードの第三領域内に形成される高濃度の一導電型の第四領域と、この第四領域に形成されたアノード電極とで構成したことを特徴とするものであり、又、第 3 構成は、前記高耐圧ダイオードの第一領域のエッジから第二領域迄の長さは、

50 前記高耐圧トランジスタの第一領域のエッジから第二領域

迄の長さよりも小であることを特徴とするものであり、又、第4領域は、前記高耐圧ダイオードをSOI基板上に形成したことを特徴とするものである。

【0009】又、本発明に係わる高耐圧ダイオードの製造方法の第1態様は、一導電型の半導体基板上に形成した他導電型の第一領域と、前記第一領域の表面に形成した高温度の他導電型の第二領域と、この第二領域上に形成されるカソード電極と、前記第一領域に隣接して形成した一導電型の第三領域と、前記第三領域の表面に形成した高温度の一導電型の第四領域と、この第四領域上に形成されたアノード電極と、第一領域と第三領域とはまたがり、前記基板表面上にゲート酸化膜を介して設けたゲート電極と、このゲート電極が第四領域と電気的に接続された高耐圧ダイオードであって、前記第一領域のエッジから第二領域迄の長さを所定の長さにすることで耐圧を調整することを特徴とするものであり、又、第2領域は、一導電型の半導体基板上に形成した他導電型の第一領域と、前記第一領域の表面に形成した高温度の他導電型の第二領域と、前記第二領域上に形成したドレイン電極と、前記第一領域に隣接して形成した一導電型の第三領域と、前記第三領域の表面に形成した高温度の一導電型の第四領域と、前記第三領域の表面に形成した高温度の他導電型の第五領域と、少なくとも前記第五領域上に形成したソース電極と、前記第一領域と第三領域とにまたがり、前記基板表面上にゲート酸化膜を介してゲート電極を設けると共に、上記ゲート電極が前記第五領域と電気的に接続された高耐圧ダイオードの製造方法において、前記高耐圧ダイオードは、前記一導電型の半導体基板上に形成した他導電型の第一領域と、前記第一領域の表面に形成した高温度の他導電型の第二領域と、この第二領域上に形成されるカソード電極と、前記第一領域に隣接して形成した一導電型の第三領域と、前記第三領域の表面に形成した高温度の一導電型の第四領域と、この第四領域上に形成されたアノード電極と、前記第一領域と第三領域とにまたがり、前記基板表面上にゲート酸化膜を介して設けたゲート電極とからなり、このゲート電極が第四領域と電気的に接続されたものであり、且つ、前記高耐圧ダイオードの第一領域と高耐圧ダイオードの第二領域、前記高耐圧トランジスタの第三領域と高耐圧ダイオードの第三領域、前記高耐圧トランジスタの第二領域と高耐圧ダイオードの第二領域とは、夫々同時に形成されることを特徴とするものであり、又、第3態様は、前記高耐圧ダイオードをSOI基板上に形成したことを特徴とするものである。

【0010】

【発明の実施の形態】本発明に係わる高耐圧ダイオードは、一導電型の半導体基板上に形成した他導電型の第一領域と、前記第一領域の表面に形成した高温度の他導電型の第二領域と、この第二領域上に形成されるカソード電極と、前記第一領域に隣接して形成した一導電型の第三領域と、

三領域と、前記第三領域の表面に形成した高温度の一導電型の第四領域と、この第四領域上に形成されたアノード電極と、前記第一領域と第三領域とにまたがり、前記基板表面上にゲート酸化膜を介して設けたゲート電極と、このゲート電極が第四領域と電気的に接続したことの特徴とするものである。

【0011】このように構成した高耐圧ダイオードでは、前記第一領域のエッジから第二領域迄の長さを所定の長さにすることで耐圧を調整することが出来るから、保護する高耐圧トランジスタの耐圧に較べ確実に耐圧を小さくした高耐圧ダイオードを形成することが出来る。

【0012】

【実施例】以下に、本発明に係わる高耐圧ダイオードとその製造方法の具体例を図面を参照しながら詳細に説明する。図1(a)は、本発明に係わる高耐圧ダイオードの具体例の構造を示す断面図であって、これらの図には、一導電型の半導体基板1上に形成した他導電型の第一領域2と、前記第一領域2の表面に形成した高温度の他導電型の第二領域5と、この第二領域5上に形成されるカソード電極8と、前記第一領域2に隣接して形成した一導電型の第三領域3と、前記第三領域3の表面に形成した高温度の一導電型の第四領域4と、この第四領域4上に形成されたアノード電極9と、第一領域2と第三領域3とにまたがり、前記基板表面上にゲート酸化膜を介して設けたゲート電極7と、このゲート電極7が第四領域4と電気的に接続した高耐圧ダイオードが示されている。

【0013】以下に、本発明を更に詳細に説明する。図1(a)は本発明の高耐圧ダイオードの断面図、図1(b)は保護する高耐圧トランジスタの断面図であり、この高耐圧ダイオードと高耐圧トランジスタとは同一基板上に同時に形成される。図1(a)において、本発明の高耐圧ダイオードは、P型サブストレート1上に形成したN型拡散層2と、前記N型拡散層2の表面に形成した高温度のN型拡散層5と、このN型拡散層5上に形成したカソード電極8と、前記N型拡散層2に隣接して形成した低温度のP型拡散層3と、前記P型拡散層3の表面に形成した高温度のP型拡散層4と、ゲートポリシリコン(ゲート電極)7とからなり、このゲートポリシリコンは、P型拡散層3とN型拡散層2とにまたがり前記基板表面上に設けられ、このポリシリコン7が第四領域4と電気的に接続した高耐圧ダイオードである。

【0014】一方、保護される高耐圧トランジスタは、図1(b)に示すように、P型サブストレート1上に形成され、且つ、高耐圧ダイオードのN型拡散層2と同時に形成されるN型拡散層12と、N型拡散層12に隣接して形成され、且つ、高耐圧ダイオードのP型拡散層3と同時に形成される低温度P型拡散層13と、低温度P型拡散層13の表面に形成され、且つ、高耐圧ダイオード

50 の高温度のP型拡散層4と同時に形成される高温度P型

拡散層1.4と、N型拡散層2の表面に形成され、且つ、高耐圧ダイオードのN型拡散層5と同時に形成されるした高濃度N型拡散層1.5と、低濃度P型拡散層1.3の表面に形成され、且つ、高濃度N型拡散層1.5と同時に形成される高濃度N型拡散層2.0と、低濃度P型拡散層1.3とN型拡散層1.2にまたがり形成され、且つ、高濃度N型拡散層2.0に電気的に接続し、高耐圧ダイオードのゲート電極7と同時にゲート酸化膜上に形成されるゲート電極1.7と、高濃度N型拡散層1.5上に形成され、且つ、高耐圧ダイオードのカソード電極8と同時に形成されるドレイン電極1.8と、高濃度P型拡散層1.4と高濃度N型拡散層2.0上に形成され、且つ、高耐圧ダイオードのアノード電極9と同時に形成されるソース電極1.9と、フィールド酸化膜6と構成されている。

【0015】このように構成した高耐圧ダイオードにおいて、カソードである高濃度N型拡散層5に電界が印加されると、電界緩和層として働くN型拡散層2が所定の耐圧を確保するに十分な空乏層を伸ばすことができる濃度であれば、この高耐圧ダイオードの耐圧は、N型拡散層2のエッジから高濃度N型拡散層5までの距離Xで決定される。

【0016】同様に、図1(b)の高圧トランジスタの耐圧は、N型拡散層1.2のエッジから高濃度N型拡散層1.5までの距離Yで決定される。従って、保護しようとする高圧トランジスタの電界緩和層として働くN型拡散層1.2のエッジから高濃度N型拡散層5までの距離Yよりも前記距離Xを小さくすれば、高圧トランジスタの耐圧より本発明のダイオードの耐圧を確実に小さくすることができます。

【0017】従って、拡散層2、1.2の濃度を変更しないで、ダイオードの耐圧を高圧トランジスタの耐圧より低くすることができる。更に、アノードにはN型拡散層が存在しないため、寄生NPNトランジスタも形成されない。この為、ブレーキグラン後、電流集中も起こらないから、耐電流も大きいものとなる。図2は上記した高耐圧ダイオードと高圧トランジスタとをSOI(Silicon on Insulator)基板上に形成したものである。

【0018】なお、図1と同一部分には同一符号を付してその説明を省略する。図において、5.1はSOI基板、5.2はSOI基板5.1の貼り合わせ酸化膜、5.3は

各素子を分離しているトレチ分離酸化膜である。団1の高耐圧ダイオードの場合、アノード電極をGNDレベルとして用いなければならなかったが、この構成の場合、基板と素子部が電気的に分離しているから、高耐圧ダイオードの各電極の電位を自由に設定出来る。

【0019】更に、電界緩和層として働くN型拡散層2、1.2内に形成される空乏層の制御性が向上するから、バラツキの少ない高耐圧ダイオードと高圧トランジスタとを得ることが出来る。又、本発明の高耐圧ダイオードで、高耐圧IGBTを保護するように構成してもよい。

【0020】

【発明の効果】本発明に係る高耐圧ダイオードとその製造方法は、上述のように構成したので、工程を追加することなく、保護する高耐圧のトランジスタより耐圧の低い高耐圧ダイオードを形成することが出来るから、安価に製造でき、しかも高圧トランジスタを確実に保護することが出来る。

【図面の簡単な説明】

20 【図1】本発明に係る高耐圧ダイオードと保護される高圧トランジスタを示す断面図である。

【図2】本発明に係る他の具体例の高耐圧ダイオードと保護される高圧トランジスタを示す断面図である。

【図3】従来技術の高耐圧ダイオードと保護される高圧トランジスタを示す断面図である。

【符号の説明】

1 P型サブストレート(半導体層)

2、1.2 N型拡散層(第一領域)

3、1.3 低濃度P型拡散層(第三領域)

30 4、1.4 高濃度P型拡散層(第四領域)

5、1.5 高濃度N型拡散層(第二領域)

6 フィールド酸化膜

7、1.7 ポリシリコン(ゲート電極)

8 カソード電極

9 アノード電極

1.8 ドレイン電極

1.9 ソース電極

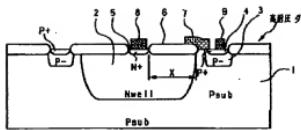
20 高濃度N型拡散層(第五領域)

5.1 P型半導体基板

40 5.2 貼り合わせ酸化膜

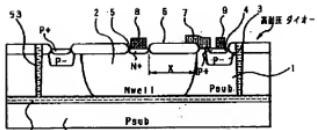
5.3 トレチ分離酸化膜

【図1】

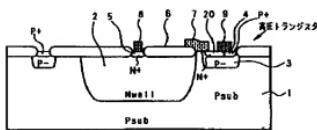


(a)

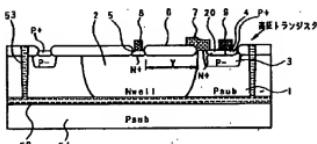
【図2】



(a)

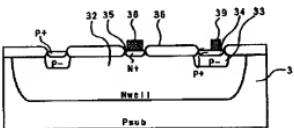


(b)

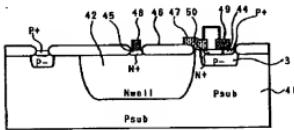


(b)

【図3】



(a)



(b)